



ABSTRACT OF Korean Patent Application No. 10-2001-0022962

A capacitor structure that comprises a top platinum electrode and a bottom electrode having insulator on the sidewalls of the electrodes, and wherein the bottom electrode is from depositing a first electrode portion being recessed with respect to the insulator on the
5 sidewalls thereof and depositing a second insulator portion is provided.

특2001-0100921

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/8242

(11) 공개번호 특2001-0100921
(43) 공개일자 2001년11월14일

(21) 출원번호 10-2001-0022952
(22) 출원일자 2001년04월27일
(30) 우선권주장 09/562,556 2000년05월02일 미국(US)
(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘
미국 10504 뉴욕주 아몬크인피언 테크놀로지스 노쓰 아메리카 코포레이션
주후제출
미국 캘리포니아 산 호세 노쓰 퍼스트 스트리트 1730 (우편번호
95112-6000)
(72) 발명자 왕윤-유
미국12570뉴욕주포우킵그사이퍼레인34
제이미라자라오
미국12590뉴욕주와핑거스폴스프브로크서클54
킴볼리제이
미국12550뉴욕주뉴버그워터스트리트350
코텍키데이빗이
미국04473메인주오로노컬리지애비뉴55
라이언제니
미국12589뉴욕주윌리브라레인6
린첼링
미국12603뉴욕주포우킵시에코우츠라이트드라이브15
밀러존에이
미국12550뉴욕주뉴버그알콘윈드라이브20
나젤니콜라스
독일데-81737원헨 오토브루너스트라세17-19아스트론아파트먼트유엔첸
센후아
미국캘리포니아주95124산호세로직드라이브2100
와일드맨호라티오에스
미국12590뉴욕주와핑거스폴스센트랄애비뉴11
(74) 대리인 김창세, 김원준, 장성구

심사청구 : 없음

(54) 캐패시터 구조물과 캐패시터 구조물의 전극 제조 방법

요약

상부 플레티빙 전극과 하부 전극을 포함하는 캐패시터 구조물로서, 이 전극층의 측면에 절연체가 있고, 하부 전극은 이 측면 상의 절연체에 대하여 리세싱된 제 1 전극 부분의 증착에 의해, 그리고 제 2 전극 부분의 증착에 의해 이루어지는 캐패시터 구조물이 제공된다.

도면

도 10

명세서

BEST AVAILABLE COPY

도민의 관심을 끌었다

도 1은 현재 제안되고 있는 전형적인 스택 캐패시터의 개요도,
 도 2 내지 7은 개개 제조 단계 동안 본 발명의 캐패시터의 개요도,
 도 8 내지 14는 개개 제조 단계 동안 본 발명의 캐피시터의 또 다른 개요도,
 도 15는 본 발명에 따른 또 다른 구조물의 개요도,
 도 16은 본 발명에 따른 또 다른 구조물의 개요도.

도면의 주요 부분에 대한 부호의 설명

20 : 반도체 기판	21, 26 : 절연층
22 : 전도성 플러그	23 : 장벽층
24 : 제 1 전극층	25 : 보호층
27, 29 : 그레이н 바운더리	28 : 제 2 전극층
30 : 유전체층	31 : 상부 전극
33 : 전극 금속선	

본문의 상세한 설명

본문의 목적

본영이 속하는 기술 및 그 분야의 종래기술

본 발명은 캐패시터, 특히 스택 캐패시터에 관한 것이다. 특히 본 발명의 캐패시터는 고밀도 DRAM 소자에 적합하다. 본 발명의 캐패시터는 리세스(recess)된 전극 구조물을 포함한다. 또한 본 발명은 본 발명의 캐패시터를 제조하는 방법에도 관한 것이다.

캐패시터는 DRAM 소자 같은 집적회로 소자에 폭넓게 이용된다. DRAM 소자는 더 높게 집적되기 때문에 한정된 셀 안에서 캐패시터를 증가시키기 위한 다양한 접근이 제안되고 있다.

DRAM 소자의 밀도는 지난 25년 동안 매 3년마다 4배씩 증가해왔고 지금도 이러한 경향은 계속되고 있다. '밀도에 있어서 이러한 괄목할 만한 증가는 리소그래피, 건식 패터닝, 박막 증착 기술을 포함한 다양한 기술 분야의 발전, 보다 더 효율적인 셀 활용을 위한 DRAM 설계에서의 향상에 의해 야기되어왔다.

DRAM 셀은 단일 트랜지스터와 캐패시터를 포함하고 각 캐패시터는 배선에 있어서 인접하는 캐패시터와 고립되어야 하기 때문에, 캐패시터는 셀 지역의 한 부분만을 차지할 수 밖에 없다.

더 높은 캐패시턴스 밀도는 1)작은 축방향 지역 안에 넓은 표면 지역을 제공하는 복잡한 전극 구조물, 2) 더 얇은 캐패시터 유전체, 3)더 높은 유전율을 가진 캐패시터 유전체 물질의 이용을 통해서 성취될 수 있다. 일반적으로, 표면 지역의 증가는 복잡성을 증가시켜서 비용을 증가시킨다.

보통 사용되는 실리콘 이산화물과 실리콘 질화물 유전체는 그들의 요구된 두께에 한계를 가진다. 따라서, 최근에 중요한 일은 DRAM 캐패시터를 위한 고유전체 물질의 개발에 집중되고 있다. 현재까지 제조된 DRAM 셀은 도핑된 결정 또는 다결정 실리콘으로 만들어진 두개의 전극 위에 끼워진 실리콘 이산화물과 실리콘 질화물의 스택층을 포함하는 얇은 유전체를 이용하는 캐패시터를 기본적으로 포함한다. 고유전체 물질을 DRAM 캐패시터에 내장시키는 것은 새로운 유전체 물질에 대한 필요 뿐만 아니라 새로운 전극과 장벽 물질에 대한 필요도 유발시킨다. 유전율이 200~350이고 125 fF/μm을 초과하는 특정 캐패시턴스를 갖는 박막 바륨-스트론튬 티타네이트 (Ba,Sr)TiO₃ (BSTO)는 미래의 DRAM을 위한 유전체의 선두 주자로서 제안되어 왔다.

게다가, 고우전을 스택 캐패시터의 접촉 장벽은 차세대 DRAM에 있어서 중요하다. 현재 사용되고 있는 접촉 장벽은 TaSiN 장벽층이다.

스택 캐패시터의 전형적인 구조는 도 1에서 도시된다. 여기서 (1)은 하부 플레티늄 전극을 나타내고, (2)는 플레티늄 전극(1)과 다결정 실리콘과 같은 플러그(3) 간의 TaSiN 장벽층을 나타낸다. 유전체(4)는 $\text{Ba}_{0.7}\text{Sr}_{0.3}\text{TiO}_3$ (BSTO)를 포함한다. 상부 플레티늄 전극(도시되지 않음)은 하부 플레티늄 전극과 BSTO 층(4) 위에 쌓아올려질 것이다.

코로나, 산소 분위기 내에서 실행되는 BSTO 증착 동안에 TaO 또는 SiO가 TaSIN 층의 윗면에 형성된다. 이는 BSTO 물질보다 낮은 캐패시턴스를 갖는 Pt와 TaSIN 간의 저항층으로 작용한다. 이러한 산소 확산의 두 가지 원인이 있다. 하나는 도 1에서 (6)으로 표시된 흑색으로부터이고, 나머지는 Pt 그레이 바운더리로부터이다. 흑색 산소 확산은 리세심된 장벽 구조를 만들으로써 해결될 수 있지만, Pt 그레이 바운더리 문제도 쉽게 처리되지 않는다.

발명이 이루고자 하는 기술적 과제

본 발명은 전극을 통과하는 산소 확산 문제를 다룬다. 본 발명은 촉벽 확산을 방지하고 전극의 그레이인 바운더리를 차단하는 리세싱된 전극 구조물을 제공한다.

발명의 구성 및 작용

특히, 본 발명은 상부 전극과 하부 전극을 포함하는 캐패시터 구조물에 관한 것으로서, 하부 전극은 그의 촉벽 상의 전기 절연체에 대해 리세싱된 제 1 전극 부분의 증착에 의해 그리고 제 2 전극 부분의 증착에 의해 이루어지고, 유전체는 하부 전극의 제 2 전극 부분의 상부면과 촉벽에 존재하고, 상부 전극은 유전체 위에 위치한다.

본 발명의 다른 측면은 전도성 플러그 위에 위치하는 상기 캐패시터 구조물과, 전도성 플러그와 캐패시터 구조물 간에 위치한 장벽층을 포함하는 반도체 구조물에 관련된다.

본 발명의 또 다른 측면은 전극 접촉선 위에 위치한 상기 캐패시터 구조물과, 전극 접촉선과 접촉하고 있는 전도성 플러그를 포함하는 반도체 구조물에 관련된다.

또한 본 발명은 캐패시터 구조물을 위한 전극을 제조하는 방법에도 관련된다. 이 방법은 표면에 제 1 전극층을 증착하는 단계와, 스택 구조물을 형성하기 위하여 제 1 전극층의 상부면에 보호층을 증착하는 단계와, 스택 구조물을 패터닝하는 단계와, 스택 구조물의 촉벽 상에 절연체를 제공하기 위해서 전기 절연체층을 증착 및 폴리싱하는 단계와, 에칭에 의해 보호층을 제거하는 단계와, 전기 절연체에 대해 제 1 전극층을 리세싱하는 단계와, 제 1 전극층의 상부면에 제 2 전극층을 증착하고 제 2 전극층을 패터닝하는 단계와, 제 2 전극층의 촉벽과 상부면에 유전체층을 증착하는 단계를 포함한다.

본 발명은 또 다른 측면은 상기 공정에서 얻은 전극과 관련된다.

본 발명의 또 다른 목적과 장점은 다음 상세한 설명으로부터 본 기술의 당업자에게 쉽게 자명해지고, 본 발명을 실행하도록 고안된 최선의 방식을 간단히 설명함으로써 본 발명의 바람직한 실시예가 도시되고 기술된다. 본 발명은 다르게 구현될 수 있고, 본 발명의 상세한 점들은 본 발명을 벗어나없이 다양하고 분명한 고려를 통해 변경할 수 있다. 따라서 아래의 상세한 설명은 전적으로 예시적인 것으로 간주되어야 하며 제한적인 것으로 간주되어서는 안된다.

본 발명을 실행하기 위한 최선의 다양한 방식

본 발명을 쉽게 이해하도록, 도면에 부호가 표시되고 동일한 혹은 등가의 구조물에 대해 상이한 도면들에서 동일한 부호가 표시된다.

도 2에서, 실리콘 이산화물과 같은 절연 물질(21)은 반도체 기판(20)에 형성된다. 콘택트 홀은 본 기술에서 알려진 포토리소그래픽 기술에 의해 선택적으로 에칭함으로써 절연 물질(21)을 통과해서 형성된다. 콘택트 홀의 내부는 전기 절연 물질(21) 상에 평탄한 표면을 제공하도록 도핑된 다결정 실리콘이나 WSi, 같은 전도성 물질을 구조물 상에 증착하고 증착된 전도성 물질을 에칭하는 것에 의해 전도성 플러그(22)로 충전된다.

금속 질화물이나 금속 실리콘 질화물과 같은 장벽층(23)은 절연층(21)에 증착된다. 장벽층의 예는 TiN과 TaN과 TiAlN과 TaAlN과 이들의 혼합물을 포함하며 TaSiN을 포함하는 것이 바람직하다. 물론 필요하다면 층이 다수의 다른 층들을 포함할 수 있다. TaSiN은 화학 기상 증착이나 Ar/Ne에서 TaSi 타겟에 반응성 스퍼터링을 함으로써 증착될 수 있다. 장벽층(23)은 Ta 또는 Ti 실리콘사이드와 같은 기저부 실리콘사이드층과 이 실리콘사이드층 위에 있는 위에서 언급된 금속 질화물과 금속 실리콘 질화물을 포함하는 절벽 장벽층이 바람직하다. 실리콘사이드층은 플러그(22)에 대한 전기적 접촉으로서 작용하고, 질화물층은 전극 물질에 대한 장벽으로서 작용한다. 장벽층(23)은 전형적으로 약 5 나노미터 내지 약 100 나노미터이며 보다 전형적으로는 약 30 나노미터이다. 다수의 층들이 층(23)으로 사용될 때 그들의 전체 두께는 전형적으로 상술한 범위 내에 있다. 예를 들어, 두개의 층들이 사용되면, 각 두께는 전체 두께의 약 1/2 정도가 된다.

다음으로, 제 1 전극층(24)은 스퍼터링과 같은 방법에 의해서 장벽층에 증착된다. 제 1 전극층(24)은 전형적으로 약 5 내지 약 200 나노미터이며 보다 전형적으로는 약 20 나노미터 내지 약 100 나노미터이다. 보호(27)는 플레티늄층(24)을 통과하는 그레이인 바운더리를 나타낸다. 적합한 전극 물질의 예는 Pt, Ir, Ru, Pd, IrO₂, RuO₂이다. 필요하다면, 다수의 다른 전극층(24)이 사용될 수 있다. 바람직한 전극층(24)은 플레티늄이거나 또는 하부 Ir 층과 상부 IrO₂ 층을 포함한다.

TiN과 같은 보호층 또는 하드 마스크층(25)은 스퍼터링과 같은 방법으로 제 1 장벽층 위에 증착된다. 보호층(25)은 전형적으로 약 5 내지 약 100 나노미터이고 보다 전형적으로는 약 10 나노미터 내지 약 30 나노미터이다.

도 3에서 도시된 것처럼, 장벽층(23), 제 1 전극층(24), 보호층(25)의 스택은 전극층(24)와 장벽층(23)의 하드 마스크로 작용하는 보호층(25)에 반응성 이온 에칭을 함으로써 패터닝된다. 에칭은 보통 반응성 이온 에칭으로 실행된다.

도 4는 실리콘 이산화물 또는 실리콘 질화물과 같은 절연층(26)을 화학 기상 증착을 통한 증착과 평탄한

구조를 만들기 위해서 후속되는 화학 기계적 폴리싱(CMP)을 도시하고 있다.

도 5는 보호층(25)을 선택적 에칭을 통해서 성취된 본 발명에 따른 구조물을 도시하고 있다. 층(25)은 반응성 이온 에칭이나 습식 화학 에칭을 통하여 에칭될 수 있다. 보호층(25)의 선택적 에칭에 의해 제 1 장벽층(24)이 절연층(26)에 대해 리세스된다. 즉 제 1 전극층(24)의 상부 표면이 절연층(26)의 상부 표면에 대해 리세스된다.

도 6에서, 제 2 전극층(28)은 제 1, 제 2 전극층(24, 28)을 포함하는 하부 전극층을 완성하기 위해 증착된다. 부호(29)는 층(28)의 그레이 바운더리를 나타낸다. 제 2 전극층(28)은 전형적으로 약 100 나노미터 내지 약 600 나노미터이고 보다 전형적으로는 약 250 나노미터 내지 약 350 나노미터이다.

전극의 다단계 증착은 산소가 그레이 바운더리 통과하는 거리를 더 길게 만드는데 그 이유는 층(24)의 그레이 바운더리가 도 6에서 개략적으로 도시된 바처럼 층(28)의 그레이 바운더리와 정렬되지 않을 것이기 때문이다.

절연층(26)은 전극의 측벽을 통과하는 산소 확산을 방지한다. 게다가 유전체(30)는 층(28)의 측벽과 상부를 덮기 위해서 부합적으로 증착된다. 유전체(30)는 대개 BSTO(BaSrTiO_3), STO(SrTiO_3), PZT(PbZrTiO_3), BaTiO_3 , PbTiO_3 , Bi_2TiO_7 같은 높은 유전 상수 값을 갖는 물질인데 여기서 BSTO가 가장 바람직하다. BSTO는 금속 유기 화학 증착(MOCVD)에 의해서 증착된다. BSTO는 선구 물질(precursors)의 액체 전달을 이용하는 MOCVD에 의해 증착된다. $\text{Ba}(\text{thd})_2(4\text{-glyme})$, $\text{Sr}(\text{thd})_2(4\text{-glyme})$, $\text{Ti}(\text{O}-i\text{Pr})_2(\text{thd})_2$ 가 대개 유기 소스로 이용된다. 또한 유전체층은 강유전 물질이 될 수 있다.

대개 증착은 400 내지 700°C의 온도 범위의 산소 분위기에서 일어난다. 고유전을, 유전체는 기저부 전극을 부합적으로 코팅한다.

전도성 장벽층(23)은 전극과 플러그 간의 상호 확산과 반응을 방지하는 것을 돕도록 전극과 플러그 물질을 분리시키기 위해서, 증착 동안에 플러그를 산소 노출로부터 보호하기 위해서, 플러그 물질(22)과 전극 물질(24) 간의 전기적 접촉을 제공하기 위해서 사용된다.

유전체층(30)은 전형적으로 대개 약 5 나노미터 내지 약 100 나노미터이고 보다 전형적으로는 약 10 나노미터 내지 약 50 나노미터이다.

도 7은 상부 전극(31)의 부합적 증착을 도시한다. 상부 전극층(31)은 전형적으로 대개 약 30 나노미터 내지 약 200 나노미터이고 보다 전형적으로는 약 50 나노미터 내지 약 100 나노미터이다.

상부, 하부 전극, 유사 용어에 대한 참조 부호는 하부 전극이 전도성 플러그에 보다 가까운 전극인 경우, 전도성 플러그 혹은 유사 구조물에 대한 그의 개별적인 관계를 지칭한다. 이런 용어는 구조물에서 전극 층의 실제 배향을 암시하지 않는다.

도 8 내지 13은 본 발명의 또 다른 실시예를 도시한다. 특히, 도 8에서 실리콘 이산화물같은 절연 물질은 반도체 기판(20) 위에 형성된다. 컨택트 홀은 본 기술에서 알려진 포토리소그래픽 기술에 의해 선택적으로 에칭함으로써 절연 물질(21)을 통과하여 형성된다. 이 컨택트 홀의 내부는 절연 물질(21) 상에 평탄한 표면을 제공하기 위해서 도핑된 다결정 실리콘이나 WSi_3 와 같은 전도성 물질을 구조물 상에 증착하고 그 증착된 전도성 물질을 에칭하는 것에 의해 전도성 플러그(22)로 충전된다.

금속 질화물이나 금속 실리콘 질화물 같은 장벽층(23)은 절연층(21)에 증착된다. 장벽층의 예는 TiN과 TaN과 TiAlN과 TaAlN을 포함하며 TaSiN을 포함하는 것이 바람직하다.

TaSiN은 화학 기상 증착이나 Ar/Ne에서 TaSi 타겟에 반응성 스퍼터링을 함으로써 증착될 수 있다. 장벽층(23)은 전형적으로는 대개 약 5 나노미터 내지 약 100 나노미터이며 보다 전형적으로는 약 30 나노미터이다.

다음으로, 제 1 전극층(24)이 스퍼터링과 같은 방법에 의해 장벽층 위에 증착된다. 제 1 장벽층(24)은 전형적으로 약 5 나노미터 내지 약 200 나노미터이며 보다 전형적으로는 약 20 나노미터 내지 약 100 나노미터이다. 부호(27)는 전극층(24)을 통과하는 그레이 바운더리를 나타낸다.

TiN과 같은 보호층 또는 하드 마스크(25)는 물리 기상 증착(PVD)같은 방법에 의해서 제 1 전극층 위에 증착된다. 보호층(25)은 전형적으로 약 5 나노미터 내지 약 100 나노미터이며 보다 전형적으로는 약 10 내지 약 30 나노미터이다.

도 9에서 도시된 것처럼, 장벽층(23), 제 1 전극층(24), 보호층(25)의 스택은 전극층(24)과 장벽층(23)의 하드 마스크로 작용하는 보호층(25)에 반응성 이온 에칭을 함으로써 패턴된다.

도 10은 실리콘 질화물(SiN) 유전체층(32)을 화학 기상 증착과 같은 방법에 의해서 부합적으로 증착하는 것을 나타낸다. 실리콘 질화물(32)은 전형적으로 약 20 내지 약 60 나노미터이며 보다 전형적으로는 약 30 내지 약 50 나노미터이다. 실리콘 질화물은 산소 확산을 훌륭하게 막을 수 있다. 그러나 실리콘 질화물(SiN)의 용력은 너무 커서 측벽에서 전극 물질과 실리콘 질화물 간에 크랙을 유발할 수 있으며 이 크랙은 산소 확산의 통로가 될 수 있다. 그러므로 SiO₂같은 유전체(26)를 채우기 전에 얇은 SiN층이 측벽을 덮기 위해서 사용된다. 이런 식으로 실리콘 질화물은 다공성의 SiO₂부터의 산소 확산과 SiO₂의 증착 동안 전극 물질과 SiO₂ 간의 반응을 방지하는 보호층으로 작용한다.

도 11은 실리콘 이산화물같은 전기 절연층(26)을 화학 기상 증착으로 증착함과 평탄화 구조를 만들기 위해서 후속되는 화학 기계 폴리싱(CMP)함을 나타낸다.

도 12는 실리콘 질화물(32)과 보호층(25)을 선택적으로 에칭해서 제거함으로써 성취된 본 발명에 따른 구조

물을 나타낸다. 층(25,32)은 반응성 미온 에칭이나 습식 화학 에칭으로 에칭될 수 있다.

보호층(25)의 상부에 있는 SiN_x 층(32)의 일부분을 선택적으로 에칭함으로써 절연층(26)에 대해 제 1 전극 층(24)이 리세스된다. 즉 제 1 전극층(24)의 상부 표면이 절연층(26)의 상부면에 대해 리세스된다.

도 13에서, 제 2 전극층(28)은 제 1, 2 전극층(24,28)을 포함하는 하부 전극을 완성하기 위해서 증착되고 패터닝된다. 부호(29)는 층(28)에 있는 그레인 바운더리를 나타낸다.

절연층(26)은 산소 확산이 전극의 측벽으로 통과하는 것을 방지한다. 게다가 유전체층(30)은 전극층(28)의 윗면과 측벽을 덮기 위해서 부합적으로 증착된다. 유전체(30)은 대개 $\text{BSTO}(\text{BaSrTiO}_3)$, $\text{STO}(\text{SrTiO}_3)$, $\text{PZT}(\text{PbZrTiO}_3)$, BaTiO_3 , PbTiO_3 , $\text{Bi}_2\text{Ti}_2\text{O}_7$ 같은 높은 유전 상수값을 갖는 물질인데 여기서 BSTO가 가장 바람직하다. BSTO는 금속 유기 화학 증착(MOCVD)에 의해서 증착된다. BSTO 막은 선구 물질(precursors)의 액체 전달을 이용하는 MOCVD에 의해 증착된다. $\text{Ba}(\text{thd})_2(4\text{-glyme})$, $\text{Sr}(\text{thd})_2(4\text{-glyme})$, $\text{Ti}(\text{O-IPr})_2(\text{thd})_2$ 가 대개 유기 소스로 이용된다. 또한 유전체층은 강유전 물질이 될 수 있다.

대개 증착은 400 내지 700°C의 온도 범위의 산소 분위기에서 일어난다. 고유전을 유전체는 하부 전극을 부합적으로 코팅한다.

전도성 장벽층(23)은 전극과 플러그 간의 상호 확산과 반응을 방지하는 것을 돕도록 전극과 플러그 물질을 분리시키기 위해서, 증착 동안에 플러그를 산소 노출로부터 보호하기 위해서, 플러그에 접촉을 제공하기 위해서 사용된다.

유전체층(30)은 전형적으로 약 5 나노미터 내지 약 100 나노미터이며 보다 전형적으로는 약 10 나노미터 내지 약 50 나노미터이다.

도 14는 상부 전극(31)의 부합적으로 증착됨을 도시한다. 상부 전극층(31)은 전형적으로 약 30 나노미터 내지 약 200 나노미터이며 보다 전형적으로는 약 50 나노미터 내지 약 100 나노미터이다.

도 15는 플러그 콘택트와 다른 위치에 위치하는 스택 캐패시터를 사용하는 본 발명의 또 다른 실시예를 나타낸다. 특히, 도 15는 반도체 기판(20) 위에 실리콘 이산화물같은 절연 물질(21), 도핑된 다결정 실리콘이나 WSi_2 와 같은 전도성 콘택트 플러그(22)를 나타낸다. 전극 금속선 콘택트(33)는 콘택트 플러그(22)와 접촉하고 있으며 절연체(26)에 의해서 보호된다. 장벽층(23)은 전극선 콘택트(33)와 플러그(22) 간에 위치한다. 캐패시터의 하부 전극은 전극층(24)와 이 선(33)과 접촉하고 있는 층(24)와 함께 전극층(28)을 포함하고 있다. 하부 전극층의 측벽은 절연층(26)에 의해서 보호된다. 유전체층(30)은 층(28)의 측벽과 윗면을 덮고 상부 전극(31)을 분리시킨다. (24,33,28,31)에 대한 전극 물질은 대개 본 명세서 위에서 개시된 전극 물질 중 어떤 것이 될 수 있다.

플레티늄선과 같은 전극선의 저항이 산화 저항 때문에 구리나 알루미늄선의 저항보다 높을 지라도, 플레티늄 전극선은 고유전을 스택 캐패시터같이 높은 산화도가 요구되는 소자에서 사용된다. 게다가, 이 전극선은 스택 캐패시터가 플러그 콘택트와 다른 위치에 위치할 수 있는 대저 로직 디바이스(merger logic device)에도 사용될 수 있다. 산소 확산 통로가 증가하기 때문에 산소가 장벽층에 도달할 확률은 더 적어진다.

도 16은 본 발명에 따른 바람직한 구조물의 개요도이다. 특히, 실리콘 이산화물과 같은 절연층(21)은 반도체 기판(20) 위에 위치한다. 다결정 실리콘과 같은 전도성 플러그(22)가 존재한다. 장벽층은 TaSiN 으로 된 장벽(23b)과 TaSi 로 된 접촉층(23a)을 포함하는 접촉 장벽층이다. 캐패시터의 하부 전극은 Ir 층을 포함하는 하부층 전극(24a)과 플레티늄 상부층 전극(24b)을 포함한다. 캐패시터의 상부 전극(31)은 플레티늄을 포함한다. 유전체층(30)은 층(28)의 상부면과 측벽을 덮고 상부 플레티늄 전극을 분리시킨다. 층(30)은 BSTO가 바람직하다.

본 개시는 오직 바람직한 실시예만을 기술하고 도시하였지만 앞에서 언급한 것처럼 본 발명은 관련 기술의 지식과 교시와 부합하며 본 명세서에서 표현된 정의적인 개념의 범주 내에서 다양한 다른 조합, 변경, 환경 등이 가능하다. 본 명세서에서 기술된 실시예는 본 발명을 실행하도록 알려진 최선의 방식을 설명하고 본 기술의 당업자가 본 발명의 특별한 응용이나 사용에서 요구되는 다양한 변경과 상기 실시예나 다른 실시예로 본 발명을 유용하도록 위함이다. 따라서 본 명세는 본 발명을 여기서 개시된 형태로만 제한시키지 않는다. 또한 첨부된 청구 범위는 다른 실시예를 포함하도록 해석되어야 한다.

발명의 효과

본 발명은 실리콘 질화물에 의한 측벽 산소 확산 방지를 제공하고, 전극의 그레인 바운더리를 차단하는 리세스에 의한 산소의 그레인 바운더리로의 확산 방지를 제공한다.

(5) 청구의 범위

청구항 1. 상부 전극과 하부 전극을 포함하는 캐패시터 구조물로서, 상기 하부 전극은 그의 측벽 상의 전기 절연체에 대해 리세스된 제 1 전극 부분의 증착에 의해 그리고 제 2 전극 부분의 증착에 의해 이루어지고, 유전체는 상기 하부 전극의 제 2 전극 부분의 상부면과 측벽에 존재하고, 상기 상부 전극은 상기 유전체 위에 위치하는 캐패시터 구조물.

청구항 2. 제 1 항에 있어서,

상기 하부 전극의 상기 제 1 전극 부분의 측벽 상의 상기 절연체는 실리콘 이산화물을 포함하는 캐패시터

구조를.

청구항 3. 제 1 항에 있어서,

상기 하부 전극에서 상기 제 2 전극 부분의 측벽 상의 상기 유전체는 BaSrTiO_3 를 포함하는 캐패시터 구조를.

청구항 4. 제 1 항에 있어서,

상기 하부 전극의 제 1 전극 부분은 약 5 나노미터 내지 약 200 나노미터의 두께인 캐패시터 구조를.

청구항 5. 제 4 항에 있어서,

상기 하부 전극의 제 2 전극 부분은 약 100 나노미터 내지 약 600 나노미터 두께인 캐패시터 구조를.

청구항 6. 제 1 항에 있어서,

상기 하부의 제 2 전극 부분의 윗면과 측벽에 있는 상기 유전체는 약 5 나노미터 내지 약 100 나노미터의 두께인 캐패시터 구조를.

청구항 7. 제 1 항에 있어서,

상기 하부의 제 1 전극 부분의 측벽에 있는 상기 절연체는 상기 측벽에 접촉한 실리콘 질화물과 상기 실리콘 질화물 위에 있는 실리콘 이산화물층을 포함하는 캐패시터 구조를.

청구항 8. 제 7 항에 있어서,

상기 실리콘 질화물은 약 20 나노미터 내지 약 60 나노미터의 두께인 캐패시터 구조를.

청구항 9. 제 1 항에 있어서,

상기 상부 전극과 하부 전극은 Pt, Ir, Ru, Pd, IrO_2 , RuO_2 에서 적어도 하나를 개별적으로 선택된 것인 캐패시터 구조를.

청구항 10. 제 1 항에 있어서,

상기 상부 전극과 하부 전극은 Pt를 포함하는 캐패시터 구조를.

청구항 11. 제 1 항에 있어서,

상기 하부 전극은 Ir 층과 IrO_2 층과 Pt 층을 포함하는 캐패시터 구조를.

청구항 12. 전도성 플러그 위에 위치하는 제 1 항의 캐패시터 구조물과 상기 전도성 플러그와 상기 캐패시터 구조물 간에 위치하는 장벽층을 포함하는 반도체 구조물.

청구항 13. 제 12 항에 있어서,

상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

청구항 14. 제 12 항에 있어서,

상기 장벽층은 TaSiN을 포함하는 반도체 구조물.

청구항 15. 전도성 플러그 위에 위치하는 제 7 항의 캐패시터 구조물과 상기 전도성 플러그와 상기 캐패시터 구조물 간에 위치하는 장벽층을 포함하는 반도체 구조물.

청구항 16. 제 15 항에 있어서,

상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

청구항 17. 제 14 항에 있어서,
상기 장벽층은 TaSiN을 포함하는 반도체 구조물.

청구항 18. 제 12 항에 있어서,
상기 장벽층이 하부 실리콘사이드 접촉층과 상부 절화물 장벽층을 포함하는 반도체 구조물.

청구항 19. 제 18 항에 있어서,
상기 실리콘사이드는 Ta 실리콘사이드를 포함하고 상기 절화물층은 TaSiN을 포함하는 반도체 구조물.

청구항 20. 전극 접촉선 위에 위치하는 제 1 항의 캐패시터 구조물과 상기 전극 접촉선과 접촉하는 전도성 플러그와 상기 전도성 플러그와 상기 접촉선 간에 위치하는 장벽층을 포함하는 반도체 구조물.

청구항 21. 제 20 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

청구항 22. 전극 접촉선 위에 위치한 제 7 항의 캐패시터 구조물과 상기 전극 접촉선과 접촉하는 전도성 플러그를 포함하는 반도체 구조물.

청구항 23. 제 22 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

청구항 24. 캐패시터 구조물을 위한 전극을 제조하는 방법으로서,
표면에 제 1 전극층을 증착하는 단계와,
상기 제 1 전극층의 상부면에 보호층을 증착하여 스택 구조물을 형성하도록 하는 단계와,
상기 스택 구조물을 패터닝하는 단계와,
전기 절연층을 증착하고 폴리싱하여 상기 스택 구조물의 측벽에 절연체를 제공하는 단계와,
에칭에 의해 상기 보호층을 제거하는 단계와,
상기 절연체에 대해 상기 제 1 전극층을 리세스(recess)하는 단계와,
상기 제 1 전극층의 상부면에 제 2 전극층을 증착 및 패터닝하는 단계와,
상기 제 2 전극층의 상부면과 측벽에 유전체층을 증착하는 단계를 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 25. 제 24 항에 있어서,
상기 제 1 전극 부분의 측벽 상의 상기 절연체는 실리콘 이산화물을 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 26. 제 24 항에 있어서,
상기 제 2 전극 부분의 측벽 상의 상기 유전체는 BaSrTiO₄를 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 27. 제 27 항에 있어서,
상기 제 1 전극 부분은 약 5 나노미터 내지 약 200 나노미터의 두께인 캐패시터 구조물의 전극 제조 방법.

청구항 28. 제 24 항에 있어서,

상기 제 2 전극 부분은 약 100 나노미터 내지 약 600 나노미터의 두께인 캐패시터 구조물의 전극 제조 방법.

청구항 29. 제 24 항에 있어서,

상기 제 1 전극 부분의 측벽 상의 절연체는 상기 측벽과 접촉하는 실리콘 질화물과 상기 실리콘 질화물 상의 실리콘 이산화물층을 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 30. 제 29 항에 있어서,

상기 실리콘 질화물은 약 20 나노미터 내지 약 60 나노미터 두께인 캐패시터 구조물의 전극 제조 방법.

청구항 31. 제 24 항에 있어서,

상기 제 2 전극층의 상부면 상의 유전체 층의 상부에 추가의 전극을 증착하는 단계를 더 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 32. 제 24 항에 있어서,

상기 표면은 장벽층인 캐패시터 구조물의 전극 제조 방법.

청구항 33. 제 32 항에 있어서,

상기 장벽층은 TaSiN을 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 34. 제 24 항에 있어서,

상기 표면은 전극선인 캐패시터 구조물의 전극 제조 방법.

청구항 35. 제 32 항에 있어서,

상기 장벽층은 하부 실리콘사이드 접촉층과 상부 질화물 장벽층을 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 36. 제 35 항에 있어서,

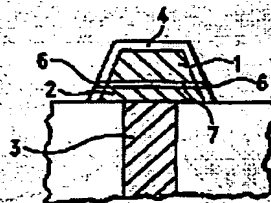
상기 실리콘사이드는 Ta 실리콘사이드를 포함하고 상기 질화물층은 TaSiN을 포함하는 캐패시터 구조물의 전극 제조 방법.

청구항 37. 제 24 항의 제조 공정에 의해 획득된 전극.

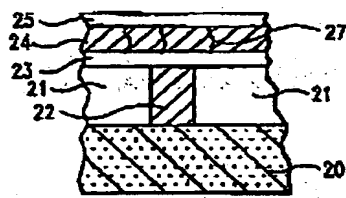
도면

도면1

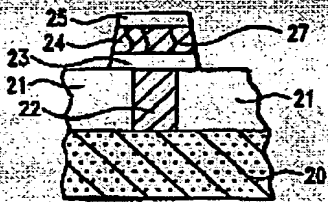
(종래기술)



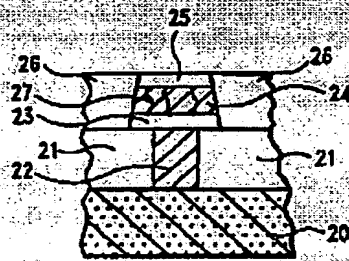
도 12



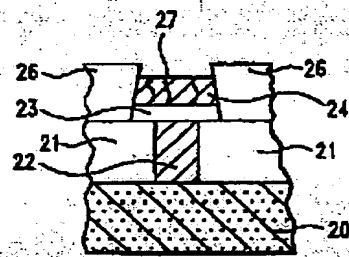
도 13



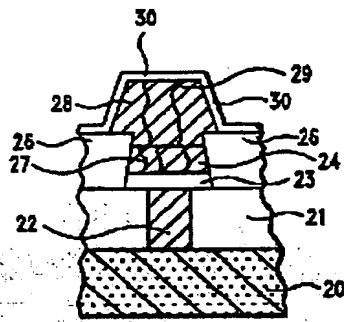
도 14



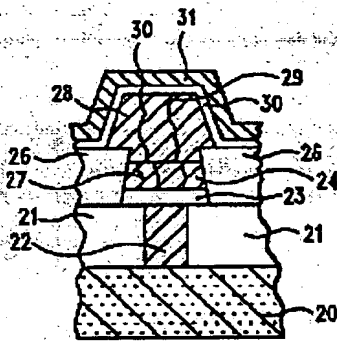
도 15



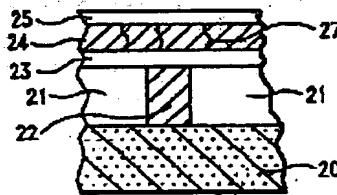
도 28



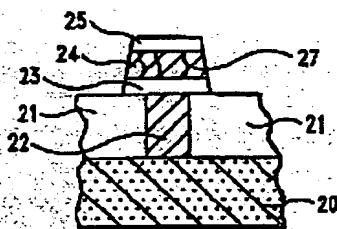
도 29



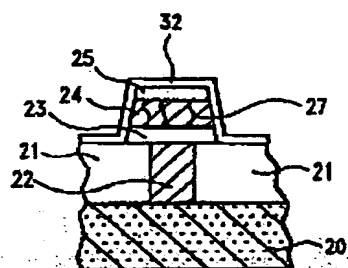
도 30



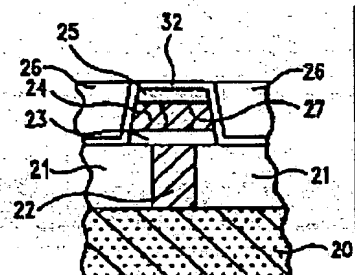
도 31



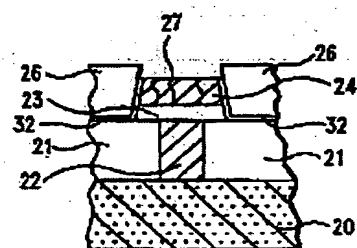
도면 10



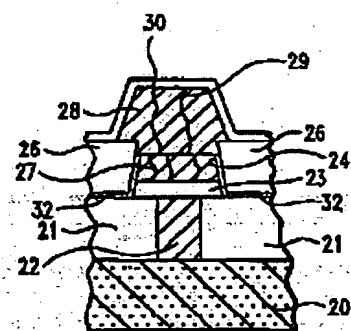
도면 11



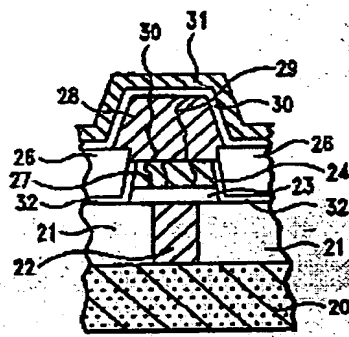
도면 12



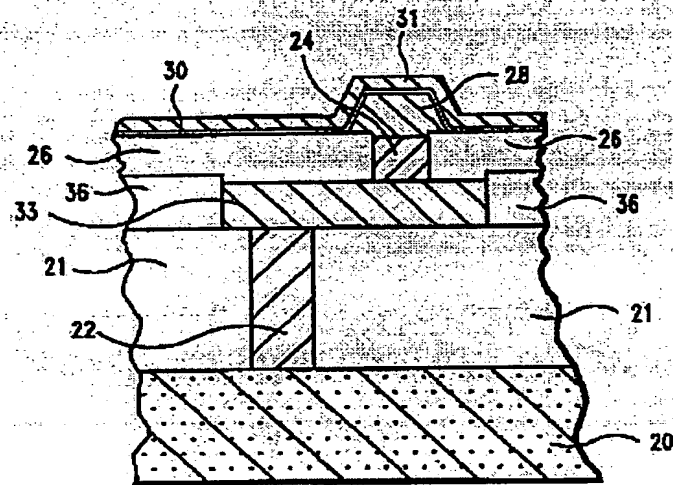
도면 13



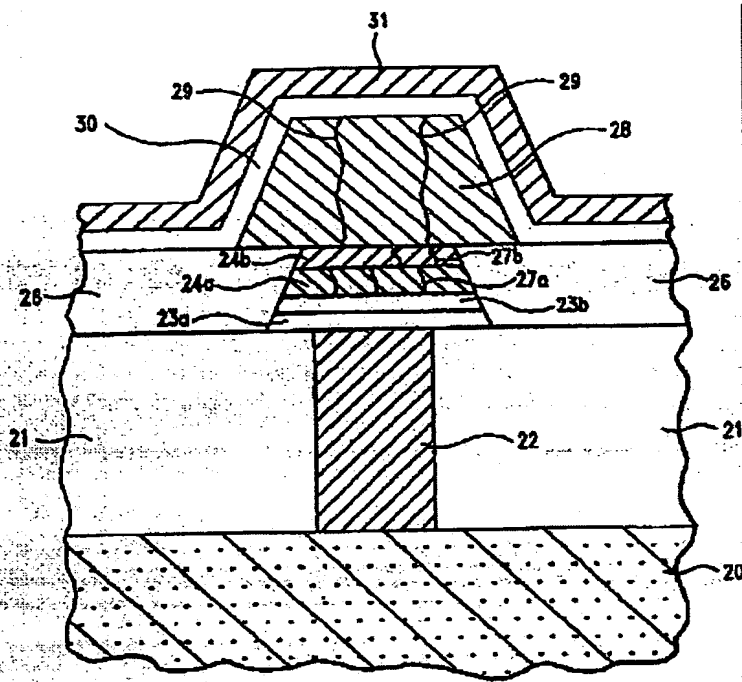
도면 14



도면 15



도 13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.